

SO1P1549US00

日 本 国 特 許 庁
JAPAN PATENT OFFICE

J1000 U.S. PTO
09/970593
10/04/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 5月16日

出 願 番 号

Application Number:

特願2001-147024

出 願 人

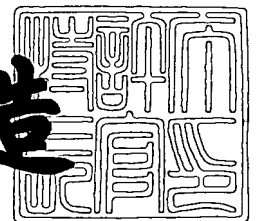
Applicant(s):

ソニー株式会社

2001年 8月31日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3078091

【書類名】 特許願
【整理番号】 0100131202
【あて先】 特許庁長官殿
【国際特許分類】 H05K 3/46

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号ソニー株式会社内

【氏名】 吉沢 明

【発明者】

【住所又は居所】 宮城県桃生郡鳴瀬町野蒜字南余景 6 8 番地の 2 6 5

【氏名】 石山 哲

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号ソニー株式会社内

【氏名】 中村 好行

【特許出願人】

【識別番号】 000002185

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100078145

【住所又は居所】 東京都新宿区西新宿 7 丁目 1 8 番 1 8 号 新宿税理士ビ
ル 4 0 6 号 松村内外特許事務所

【弁理士】

【氏名又は名称】 松村 修

【電話番号】 03-3361-2805

【手数料の表示】

【予納台帳番号】 014410

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

特 2001-147024

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9708409

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置とその製造方法

【特許請求の範囲】

【請求項 1】

所定の回路が設けられ、かつ外表面に電極が設けられた半導体チップと、前記半導体チップがマウントされたインターポーザ基板と、を有し、前記インターポーザ基板はコア基板を具備し、該コア基板の一方の面にのみビルドアップ層が形成されるとともに、前記コア基板の他方の面に異方性導電層を介して前記半導体チップがマウントされ、前記コア基板の電極と前記半導体チップの電極とが前記異方性導電層によって電氣的に接続されることを特徴とする半導体装置。

【請求項 2】

前記コア基板上に形成されたビルドアップ層はその弾性係数が 5 0 0 0 M P a 以下であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記ビルドアップ層の弾性係数が前記コア基板の弾性係数の半分以下であることを特徴とする請求項 1 または請求項 2 に記載の半導体装置。

【請求項 4】

前記ビルドアップ層の表面に応力を緩和するように屈曲した形状の配線パターンが形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】

前記コア基板は半導体チップの熱膨張係数とほぼ等しい熱膨張係数の材料から成り、厚さが 0. 5 m m 以下であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 6】

前記コア基板の前記ビルドアップ層が形成される表面であって前記半導体チップの電極と対応する位置に前記異方性導電層の接合の加圧力を受けるパターンが形成されることを特徴とする請求項 1 に記載の半導体装置。

【請求項 7】

前記インターポーザ基板はコア基板上に複数のビルドアップ層を形成して成り、最外層のビルドアップ層を貫通するビアと連続して電極が形成され、該電極がマザーボードに接続される電極であることを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】

前記最外層のビルドアップ層の外表面であって前記異方性導電層の接合の加圧力を受けるパターンと対応する位置に配線パターンが存在せず、搭載されるマザーボードの対応する部位にスルーホールが形成されることを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】

前記最外層のビルドアップ層の外表面であって前記マザーボードと接続される電極が形成される表面にレジストを形成しないことを特徴とする請求項 7 に記載の半導体装置。

【請求項 10】

前記コア基板の他方の面であって前記半導体チップがマウントされる面にレジストを形成しないことを特徴とする請求項 1 に記載の半導体装置。

【請求項 11】

インターポーザ基板上に半導体チップをマウントして半導体装置を製造する製造方法において、

コア基板の一方の面にビルドアップ層を形成してインターポーザ基板とし、

前記コア基板の前記ビルドアップ層が形成された前記一方の面とは反対側の他方の面に前記半導体チップを異方性導電層を介してマウントし、前記半導体チップの電極と前記コア基板の他方の面の電極とを前記異方性導電層によって電氣的に接続することを特徴とする半導体装置の製造方法。

【請求項 12】

前記コア基板の一方の面に複数のビルドアップ層を順次形成することを特徴とする請求項 11 に記載の半導体装置の製造方法。

【請求項 13】

前記ビルドアップ層に穴加工を行ない、該穴を含む前記ビルドアップ層の表面

に導電性金属のメッキを施し、該メッキをエッチングすることにより前記ビルドアップ層に配線パターンとビアとを同時に形成することを特徴とする請求項 1 1 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置とその製造方法に係り、とくに半導体チップをインターポザ基板上にマウントして成る半導体装置とその製造方法に関する。

【0002】

【従来の技術】

回路パターンが形成された半導体チップは、その一方の表面に形成されている電極のピッチが非常に小さいために、このような半導体チップを直接マザーボードの上にマウントすることができない。そこで半導体チップよりも一回り大きなインターポザ基板上に半導体チップを実装し、インターポザ基板の反対側の面に半導体チップの電極よりも大きなピッチの電極を形成し、このインターポザ基板の電極を利用してマザーボードに実装するようにしたチップサイズパッケージの半導体装置が用いられる。

【0003】

図 1 1 はこのような従来のチップサイズパッケージを示しており、半導体チップ 1 はインターポザ基板 2 上に実装される。ここで半導体チップ 1 の下面であって電極上に半田バンプ 3 が取付けられ、この半田バンプ 3 をインターポザ基板 2 の表面に形成されている導体パターンから成る電極 4 と半田付けして接合する。半田バンプ 3 を導体パターン 4 に接続する半田は、半田バンプ 3 の半田よりも融点の低い半田が用いられる。

【0004】

【発明が解決しようとする課題】

図 1 1 に示すようなチップサイズパッケージは、半導体チップ 1 の電極上に半田バンプ 3 を取付け、この半田バンプ 3 を介してインターポザ基板 2 の電極 4 と接続する構造をとっているために、とくに半田バンプ 3 によって高さ方向の寸

法が増加し、小型化が妨げられる。またこのようなチップサイズパッケージはその製造プロセスの工程が長く、しかも各プロセスの管理が面倒になるという欠点があった。

【0005】

また図11に示すチップサイズパッケージは、このチップサイズパッケージをマザーボードに接合して半田付けする際の信頼性に問題があった。通常マザーボードは安価な有機材料基板を使用するが、ここで十分な熱ストレスによる応力の緩和を考慮する必要がある。

【0006】

図11に示すように半導体チップ1の電極面をインターポーザ基板2との接合面とするフリップチップ実装法では、インターポーザ基板2にセラミック材料やアラミド材料等を使用する。またフィルム状のフレキシブル基板を使用する場合には、半導体チップとフレキシブル基板との間に樹脂を封入して両者をがっちり固める。従ってチップサイズパッケージ単体では問題がなくても、このチップサイズパッケージのインターポーザ基板の電極とマザーボードの接続用ランドとの半田付けの接合部で応力が集中する。従って応力の吸収が難しいLGA (Land grid array) の採用が困難になる。

【0007】

また従来のチップサイズパッケージのインターポーザ基板2としてビルドアップ基板を用いた場合には、インターポーザ基板の両面をビルドアップ層とする構成を採用する。ここでインターポーザ基板2の上面は半導体チップ1の搭載面になるために、上面のビルドアップ層には平坦性と低熱膨張率が要求される。これに対してマザーボードとの接合面になるインターポーザ基板2の下面のビルドアップ層は、マザーボードに接続した場合に要求される応力緩和の機能が要求され、このためにビルドアップ層として弾性係数の低い材料を用いなければならなくなる。

【0008】

従ってこのことから、インターポーザ基板2はその上側の半導体チップ1と接合される部分のビルドアップ層が硬い材料によって、マザーボードに接合される

下面のビルドアップ層が柔らかい材料によって製作されなければならない。よって異種材料を用いることになり、インターポーザ基板2の作製のコストが増大し、その製造工程が煩雑になる問題がある。また半田バンプに代えてLGAによって高さ方向の寸法を小さくして薄型化を図ろうとしても、応力緩和のためにインターポーザ基板に厚みをもたさなければ信頼性がとれない場合が多く、このためにインターポーザ基板の薄型化によるLGAが困難であるという問題があった。

【0009】

本発明はこのような問題点に鑑みてなされたものであって、インターポーザ基板の半導体チップに対する接続の信頼性とチップサイズパッケージのマザーボードに対する接続の信頼性とを同時に両立させるようにした半導体装置とその製造方法とを提供することを目的とする。

【0010】

【課題を解決するための手段】

本願の主要な発明は、所定の回路が設けられ、かつ外表面に電極が設けられた半導体チップと、

前記半導体チップがマウントされたインターポーザ基板と、

を有し、前記インターポーザ基板はコア基板を具備し、該コア基板の一方の面にのみビルドアップ層が形成されるとともに、前記コア基板の他方の面に異方性導電層を介して前記半導体チップがマウントされ、前記コア基板の電極と前記半導体チップの電極とが前記異方性導電層によって電氣的に接続されることを特徴とする半導体装置に関するものである。

【0011】

ここで前記コア基板上に形成されたビルドアップ層はその弾性係数が5000 MPa（メガパスカル）以下であってよい。また前記ビルドアップ層の弾性係数が前記コア基板の弾性係数の半分以下であってよい。また前記ビルドアップ層の表面に応力を緩和するように屈曲した形状の配線パターンが形成されていてよい。また前記コア基板は半導体チップの熱膨張係数とほぼ等しい熱膨張係数の材料から成り、厚さが0.5mm以下であってよい。

【0012】

また前記コア基板の前記ビルドアップ層が形成される表面であって前記半導体チップの電極と対応する位置に前記異方性導電層の接合の加圧力を受けるパターンが形成されてよい。また前記インターポーザ基板はコア基板上に複数のビルドアップ層を形成して成り、最外層のビルドアップ層を貫通するビアと連続して電極が形成され、該電極がマザーボードに接続される電極であってよい。また前記最外層のビルドアップ層の外表面であって前記異方性導電層の接合の加圧力を受けるパターンと対応する位置に配線パターンが存在せず、搭載されるマザーボードの対応する部位にスルーホールが形成されてよい。また前記最外層のビルドアップ層の外表面であって前記マザーボードと接続される電極が形成される表面にレジストを形成しないようにしてよい。また前記コア基板の他方の面であって前記半導体チップがマウントされる面にレジストを形成しないようにしてよい。

【0013】

製造方法に関する主要な発明は、インターポーザ基板上に半導体チップをマウントして半導体装置を製造する製造方法において、

コア基板の一方の面にビルドアップ層を形成してインターポーザ基板とし、前記コア基板の前記ビルドアップ層が形成された前記一方の面とは反対側の他方の面に前記半導体チップを異方性導電層を介してマウントし、前記半導体チップの電極と前記コア基板の他方の面の電極とを前記異方性導電層によって電氣的に接続することを特徴とする半導体装置の製造方法に関するものである。

【0014】

ここで前記コア基板の一方の面に複数のビルドアップ層を順次形成してよい。また前記ビルドアップ層に穴加工を行ない、該穴を含む前記ビルドアップ層の表面に導電性金属のメッキを施し、該メッキをエッチングすることにより前記ビルドアップ層に配線パターンとビアとを同時に形成してよい。

【0015】

次に本願に含まれる発明の好ましい態様を以下に列挙する。

【0016】

(1) インターポーザ基板のベースを構成するコア基板の半導体チップ搭載側にはビルド層を形成せず、このコア基板の表面に形成された配線パターン上に

異方性導電層を介して半導体チップを安定接続するようにした片面ビルドアップ基板を用いた半導体装置。

【0017】

(2) コア基板の半導体チップ搭載面とは反対側の面に形成されるビルドアップ層は、その弾性係数が5000MPa以下、より好ましくは2500MPa以下であって柔軟な物性を有し、コア基板の反りやマザーボードに対するストレスの緩和を可能にした構造を有する半導体装置。

【0018】

(3) 複数のビルドアップ層を有し、中間のビルドアップ層の表面に屈曲した形状の配線パターンを形成し、この屈曲した形状によって熱ストレスを緩和するようにした半導体装置。

【0019】

(4) インターポーザ基板のベースを構成するコア基板はガラス繊維入りエポキシ樹脂のような低熱膨張の材料の薄い基板であって、好ましくは0.2mm以下とし、半導体チップとコア基板との間の熱膨張の差による応力を少なくした半導体装置。

【0020】

(5) インターポーザ基板上に半導体チップを搭載し、この半導体チップの電極とインターポーザ基板の電極とを接続するための異方性導電層に加圧力を付加した場合に、この加圧力を受ける受けパターンをコア基板の裏面に形成した半導体装置。

【0021】

(6) 半導体チップの電極とコア基板の電極とを接続する異方性導電層の加圧力を受ける受けパターンの下側であってインターポーザ基板の下部に配線の引出しを形成することなく、これによってこのチップサイズパッケージから成る半導体装置を搭載したマザーボードにおいて上記受けパターンの下側にスルーホールを形成することを許容した半導体装置。

【0022】

(7) 半導体チップを搭載するコア基板のビルドアップ層が形成されていない

面にこのコア基板の表面の配線の保護を目的とするレジストを設けないようにした半導体装置。

【0023】

(8) コア基板上に複数層のビルドアップ層を形成するとともに、最外層のビルドアップ層を貫通するビアの周縁部をマザーボードとの接続のための電極とし、しかも該電極が設けられている面にレジストを設けない半導体装置。

【0024】

【発明の実施の形態】

図1～図4は本願の発明の一実施の形態の半導体装置を示している。この半導体装置はとくに図1に示すように、半導体チップ10とインターポーザ基板11とから構成されている。そしてインターポーザ基板11はコア基板12と、その上に積層された第1ビルドアップ層13と、第2のビルドアップ層14とから構成されている。そしてインターポーザ基板11のコア基板12と半導体チップ10とは異方性導電層15を介して接合されている。

【0025】

図1および図4Aに示すように、半導体チップ10の電極上には金バンブ20が形成されている。これに対してインターポーザ基板11のコア基板12の上には配線パターン21が、下面には配線パターン22がそれぞれ形成されている。そしてこれらの配線パターン21、22はスルーホール23によって互いに接続されている。またコア基板12の下面であって上記半導体チップ10の金バンブ20と対応する位置にはとくに図4Cに示すように、偏平な台形状をなす受けパターン24が配線パターン22と同じ銅箔によって形成されている。

【0026】

次にインターポーザ基板11の第1ビルドアップ層13にはその下面に配線パターン27が形成されるとともに、ビア28によってコア基板12の配線パターン22と接続されている。また第2ビルドアップ層14にはビア29が形成され、このビア29が第1ビルドアップ層13の配線パターン27と接続されている。そしてビア29の周縁部であって第2ビルドアップ層14の外表面に位置するように電極30が形成されている。この電極30がインターポーザ基板11とマ

ザーボード34とを接続する電極である。

【0027】

図3はこのような半導体装置をマザーボード34上に実装した状態を示している。マザーボード34の上面には配線パターン35が形成され、この配線パターン35と上記インターポーザ基板11の下面であって第2のビルドアップ層14の外表面に形成されている電極30とが半田によって接続される。

【0028】

またこのような半導体装置において、とくにインターポーザ基板11の第1ビルドアップ層13の表面に形成された配線パターン27が図2Aに示すようなストレートな形状ではなく、図2Bに示すような湾曲した形状になっている。このような形状は図4Cにも示される。このような湾曲した配線パターン27とすることによって、このパターン27それ自身の変形によって応力を緩和するようになり、配線パターン27の切断に伴う断線事故が防止される。

【0029】

このように本実施の形態の半導体装置は、とくに図1に示すように片面インターポーザ基板11を使用し、異方性導電層15によって半導体チップ10をフリップチップ実装したものである。半導体チップ10には予め金バンプ20を形成しておき、異方性導電層15の導電粒子を介してコア基板12の配線パターン21に加熱圧接し、これによって半導体チップ10とインターポーザ基板11とを接合するとともに、半導体チップ10の金バンプ20とインターポーザ基板11の最上面に形成されている配線パターン21との電氣的な接続を図る。

【0030】

ここでインターポーザ基板11の最上層を構成するコア基板12としては熱膨張係数が低くかつ半導体チップ10と熱膨張係数がほぼ等しいか近似する材料、例えばガラス繊維入りエポキシ樹脂を使用し、半導体チップ10との温度変化による接合部にかかる応力をできるだけ軽減するとともに、異方性導電層15による接着強度を確保している。

【0031】

コア基板12の下面にはスルーホール23またはビア28を介して電極間のピ

ッチを広げるための再配線層 22 を形成する。そしてコア基板 12 の配線層 22 の上に弾性係数が 5000MPa 以下の柔らかいビルドアップ樹脂によって第 1 ビルドアップ 13 と第 2 ビルドアップ層 14 とを形成し、かつ中間の配線 27 については、応力緩和が可能な図 2B に示すような屈曲した配線パターン 27 を形成している。

【0032】

また図 1 においてインターポーザ基板 11 の最下面にレジスト層を形成していない。すなわち第 1 ビルドアップ層 13 の表面に形成された配線パターン 27 に対して第 2 ビルドアップ層 14 にビア 29 を接続し、これによってマザーボード 34 との接合面とすることにより、レジストによる配線保護を不要にし、レジストを省略している。

【0033】

次にこのような半導体装置の製造方法を図 5 および図 6 によって説明する。半導体チップ 10 については図 5 に示すようにシリコンチップを供給し、その上に金バンプ 20 を形成する。

【0034】

これに対してインターポーザ基板 11 はまずコア基板 12 の材料を供給する。そしてこのコア基板 12 の両面に図 6A に示すように銅箔 40、41 を接合する。そして図 6B に示すように銅箔 40、41 をエッチングし、配線パターン 21、22 を形成する。さらにこのコア基板 12 に穴を形成してメッキを施すことによってスルーホール 23 を形成し、このコア基板 12 の両面の配線パターン 21、22 を互いに接続する。

【0035】

次にコア基板 12 上に図 6C に示すように第 1 ビルドアップ層 13 を形成する。そして図 6D に示すように第 1 ビルドアップ層 13 に対してレーザ加工を行ない、穴 42 を形成する。そして第 1 ビルドアップ層 13 の全面に図 6E に示すように銅メッキ 43 を施し、この銅メッキ 43 をエッチングすることによって図 6F に示すように配線パターン 27 を形成する。

【0036】

この後に図6C～図6Fに示す工程を繰返すことによって、第2のビルドアップ層14を形成し、その上に配線パターンあるいはビア29を形成し、さらに電極30を形成する。なお必要であればコア基板12上にさらに複数のビルドアップ層を形成することができる。すなわちビルドアップ層の総数は実施の形態に限定されず、単層でも2層あるいはそれ以上の数の複層でもよい。

【0037】

このようにしてインターポーザ基板11を製造したならば、その上に半導体チップ10を実装し、異方性導電層15によって両者を接合するとともに、半導体チップ10の金バンプ20とインターポーザ基板11の上面の配線パターン21との電気的な接続を図る。

【0038】

次に半導体チップ10とインターポーザ基板11との接続のための異方性導電層15について図7～図9により説明する。異方性導電層15は異方性導電膜によって構成される。そしてこの異方性導電膜15は図7に示すように樹脂粒子47をエポキシ樹脂等のマトリックス樹脂に分散させた構造を有している。ここでそれぞれの樹脂粒子47は図8に示すように球状をなし、その外周部に金属メッキから成る金属層28が形成され、さらにその外側を覆うように薄い絶縁被膜49が形成されている。

【0039】

このような異方性導電膜15を半導体チップ10とインターポーザ基板11との間に介在させて加熱および加圧を行なうと、図9に示すように半導体チップ10の電極20とインターポーザ基板11の電極21との間においてこれらの電極20、21の高さによって樹脂粒子47が押潰され、外側の絶縁被膜49が破壊されて金属層48が露出する。これによって樹脂粒子47による半導体チップ10の電極20とインターポーザ基板11の電極21との電気的な接続が達成される。これに対して電極20、21が存在しない領域においては、半導体チップ10とインターポーザ基板11との間の隙間が大きいため、樹脂粒子47は球状の形態をそのまま維持し、外周面の絶縁被膜49によって短絡が防止される。すなわち電極20、21以外の領域における導通が阻止され、これによって選択的

な電氣的接続が達成される。

【0040】

このように異方性導電膜15は、半導体チップ10とインターポーザ基板11との接合、両者の電極20、21の導通、および両者の電極20、21が形成されていない領域の絶縁の3つの機能を同時に達成する。すなわち異方性導電膜15を半導体チップ10とインターポーザ基板11との間に挟着した状態で熱圧着を行なうと、異方性導電層15の膜厚方向には導電性を有し、面方向には絶縁性を有する電氣的異方性を発現する。これによって対向する電極20、21間の永久接着と、電極20、21の導通と、電極20、21が形成されていない領域における半導体チップ10とインターポーザ基板11との間の絶縁とが同時に達成される。

【0041】

本実施の形態に係る半導体装置は、次のような技術的優位性をもたらす。

【0042】

(1) 異方性導電層15を用いた接続において、インターポーザ基板11の最上面および第2ビルドアップ層14の外表面にそれぞれレジスト層を必要としなくなる。とくにインターポーザ基板11の半導体チップ10との接合面にレジストを形成しないために、半導体チップ10の金バンプ20の沈み込みがなくなり、接合時の加熱によるレジストからの気泡発生によるボイドがなく、半導体チップ10の金バンプ20とインターポーザ基板11の配線パターン21との安定した異方性導電層15による接続が可能になる。

【0043】

(2) コア基板12として熱膨張係数が低くしかも弾性係数が高い材料を用い、このようなコア基板12に対して半導体チップ10を異方性導電層15を介して接合しており、しかも半導体チップ10とインターポーザ基板11との間にレジストが存在しないために、半導体チップ10とインターポーザ基板11との接合強度を高め、信頼性を向上させることが可能になる。

【0044】

(3) インターポーザ基板11のベースを構成するコア基板12の下面に弾性

係数の低いビルドアップ層 13、14 を形成しているために、マザーボード 34 との半田付け接合部の熱ひずみによる応力緩和をビルドアップ層 13、14 によって受持つことができ、このためにインターポーザ基板 11 の薄型化とチップサイズパッケージの LGA 化が可能になる。

【0045】

(4) マザーボード 34 との間での応力緩和を図るために柔軟な材料から成るビルドアップ層 13、14 において、ビルドアップ層 13 の表面に図 2B に示すような屈曲した配線パターン 27 を形成しているために、さらに信頼性が向上する。

【0046】

(5) 半導体チップ 10 の金バンプ 20 と対応する位置においてコア基板 12 の表面に受けパターン 24 を形成しているために、異方性導電層 15 によって金バンプ 20 の接続を図る際の加圧力をこの受けパターン 24 で安定して受けることが可能になり、このために異方性導電層 15 の生産プロセスの条件出しが容易になる。

【0047】

(6) 半導体チップ 10 の金バンプ 20 とインターポーザ基板 11 の配線パターン 21 とを接続する際に異方性導電層 15 の加圧力を受ける受けパターン 24 の下面において図 10 に示すようにビルドアップ層 13、14 に配線を形成せず、受けパターン 24 に対してずれた位置において第 2 ビルドアップ層 14 に電極 30 を形成すると、とくにこの半導体装置を搭載したマザーボード 34 の上記受けパターン 24 と対応する位置をスルーホール 36 の形成のためのスペースとして利用することが可能になる。これによってマザーボード 34 の配線の配置に余裕を生ずる。

【0048】

(7) 半導体チップ 10 を搭載するインターポーザ基板 11 の上面に配線パターン 21 を保護するレジストを形成しないためにコストダウンが図られるとともに、弾性係数の高いコア基板 12 と半導体チップ 10 とを異方性導電層 15 を介して接続することが可能になり、信頼性が高くなる。

【0049】

(8) インターポーザ基板11の下側の部分をビルドアップ層13、14から構成することによって、スルーホール23あるいはビア28の直下でのパターンの引出しを行なうことができるとともに、第2ビルドアップ層14の外表面にレジストを設けないために、レジスト工程を削減してコストダウンを図ることが可能になる。

【0050】

(9) インターポーザ基板11が片面ビルドアップ層から成る基板を使用しており、異方性導電層15によって工程管理コストが低くなり、信頼性の高い安定したチップサイズパッケージを提供できるようになる。

【0051】

【発明の効果】

半導体装置に関する主要な発明は、所定の回路が設けられ、かつ外表面に電極が設けられた半導体チップと、半導体チップがマウントされたインターポーザ基板と、を有し、インターポーザ基板はコア基板を具備し、該コア基板の一方の面にのみビルドアップ層が形成されるとともに、コア基板の他方の面に異方性導電層を介して半導体チップがマウントされ、コア基板の電極と半導体チップの電極とが異方性導電層によって電気的に接続されるようにしたものである。

【0052】

従ってこのような半導体装置は、コア基板の一方の面にのみビルドアップ層を形成した片面ビルドアップ層のインターポーザ基板のコア基板側の表面に半導体チップをマウントした構造になり、コア基板によって半導体チップとの間での応力をなくすとともに、この半導体装置をマザーボードに実装したときの応力の緩和をビルドアップ層によって図ることが可能になり、温度変化に対して高い信頼性を発揮する半導体装置が提供される。

【0053】

製造方法に関する主要な発明は、インターポーザ基板上に半導体チップをマウントして半導体装置を製造する製造方法において、コア基板の一方の面にビルドアップ層を形成してインターポーザ基板とし、コア基板のビルドアップ層が形成

された一方の面とは反対側の他方の面に半導体チップを異方性導電層を介してマウントし、半導体チップの電極とコア基板の他方の面の電極とを異方性導電層によって電氣的に接続したものである。

【 0 0 5 4 】

従ってこのような半導体装置の製造方法によれば、熱的なストレスに強い半導体装置を安定的に提供することが可能になる。しかも半導体チップとビルドアップ基板との接続および接合を異方性導電層を介して図っているために、製造が容易で製造工程が簡略化される。

【図面の簡単な説明】

【図 1】

半導体装置の要部拡大断面図である。

【図 2】

配線パターンの平面図である。

【図 3】

この半導体装置を実装したマザーボードの断面図である。

【図 4】

半導体装置の分解図である。

【図 5】

半導体装置の製造方法を示す工程図である。

【図 6】

半導体装置の製造方法の要部を示す縦断面図である。

【図 7】

異方性導電膜の断面図である。

【図 8】

樹脂粒子の断面図である。

【図 9】

異方性導電層による接続を示す要部拡大断面図である。

【図 1 0】

変形例の接続の状態を示す半導体装置の要部拡大断面図である。

【図11】

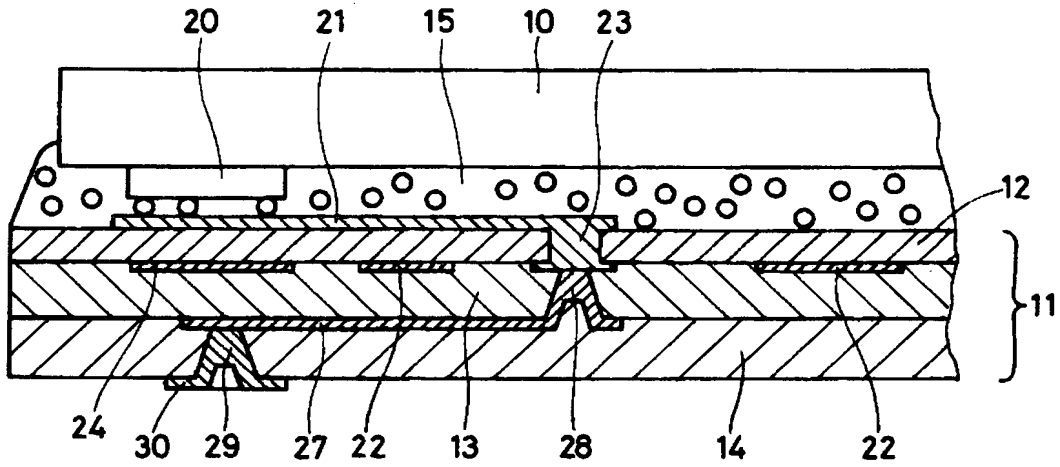
従来のチップサイズパッケージの半導体装置の縦断面図である。

【符号の説明】

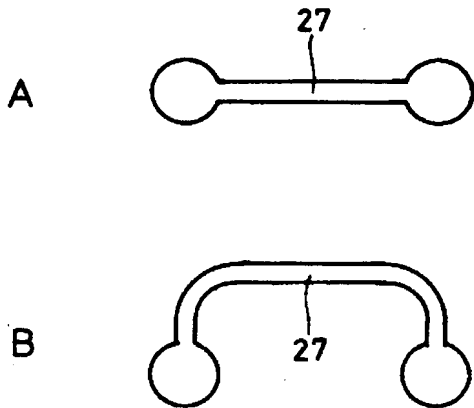
1・・・半導体チップ、2・・・インターポーザ基板、3・・・半田バンプ、4・・・
導体パターン（電極）、10・・・半導体チップ、11・・・インターポーザ基板、
12・・・コア基板、13・・・第1ビルドアップ層、14・・・第2ビルドアップ層
、15・・・異方性導電層（膜）、20・・・金バンプ、21、22・・・配線パター
ン、23・・・スルーホール、24・・・受けパターン、27・・・配線パターン、2
8、29・・・ビア、30・・・電極、34・・・マザーボード、35・・・配線パター
ン、36・・・スルーホール、40、41・・・銅箔、42・・・穴、43・・・メッキ
層、47・・・樹脂粒子、48・・・金属層、49・・・絶縁被膜

【書類名】 図面

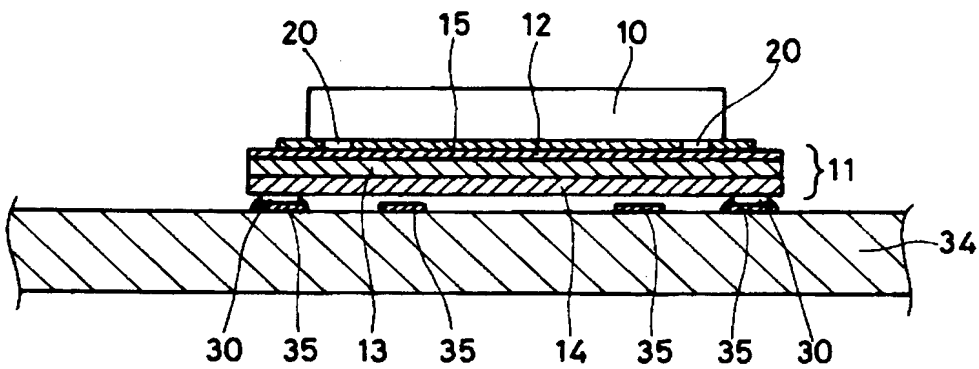
【図 1】



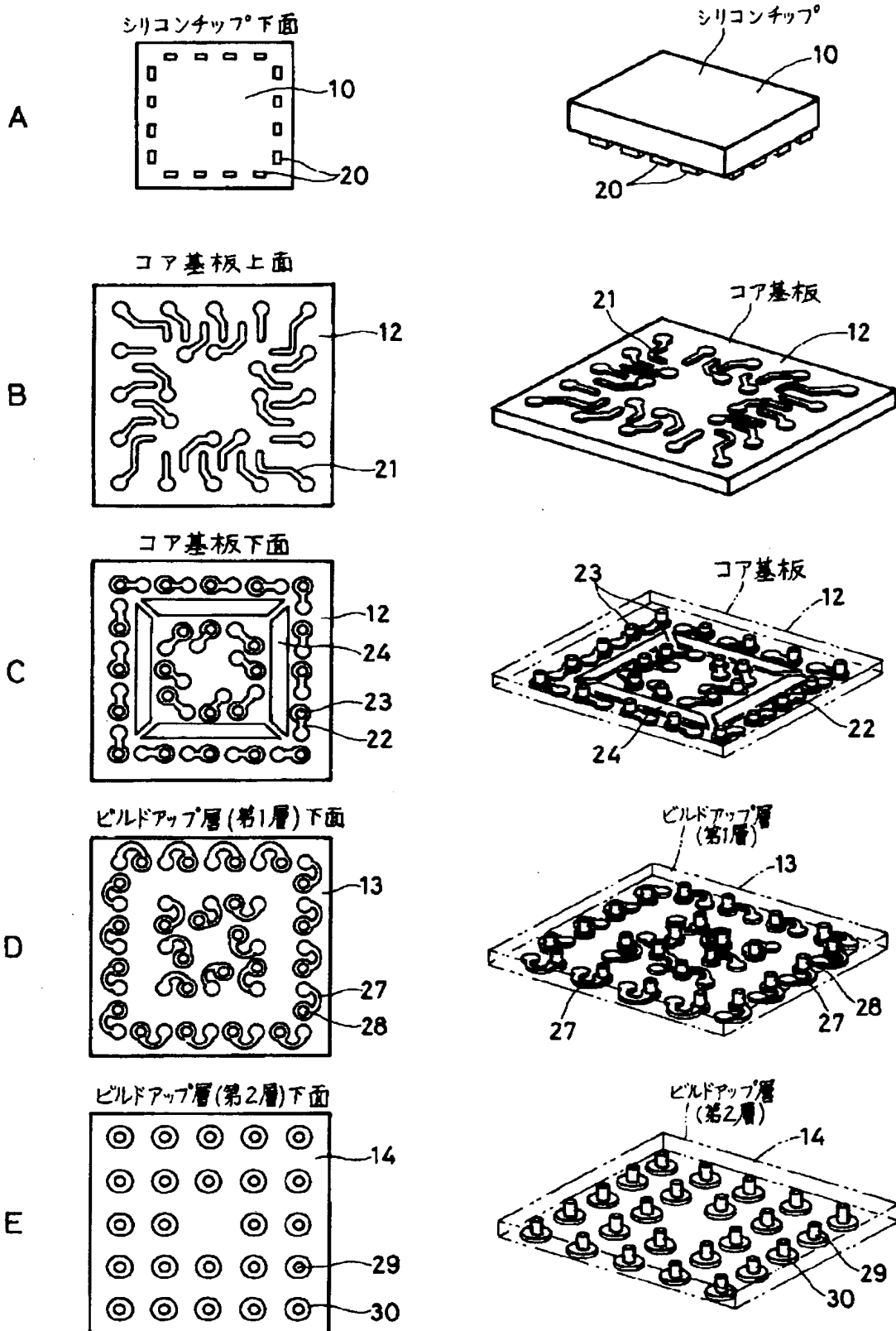
【図 2】



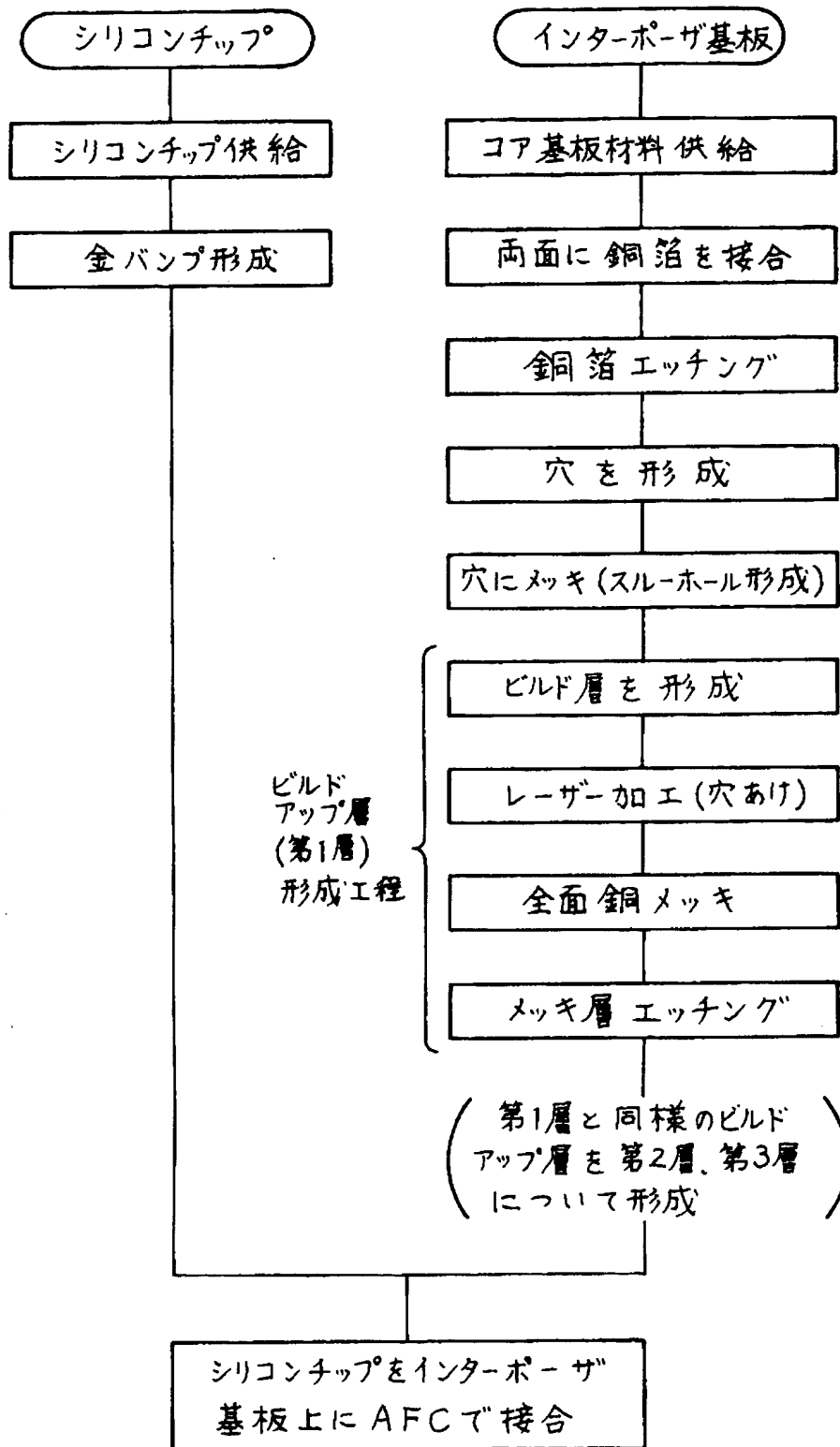
【図 3】



【図4】

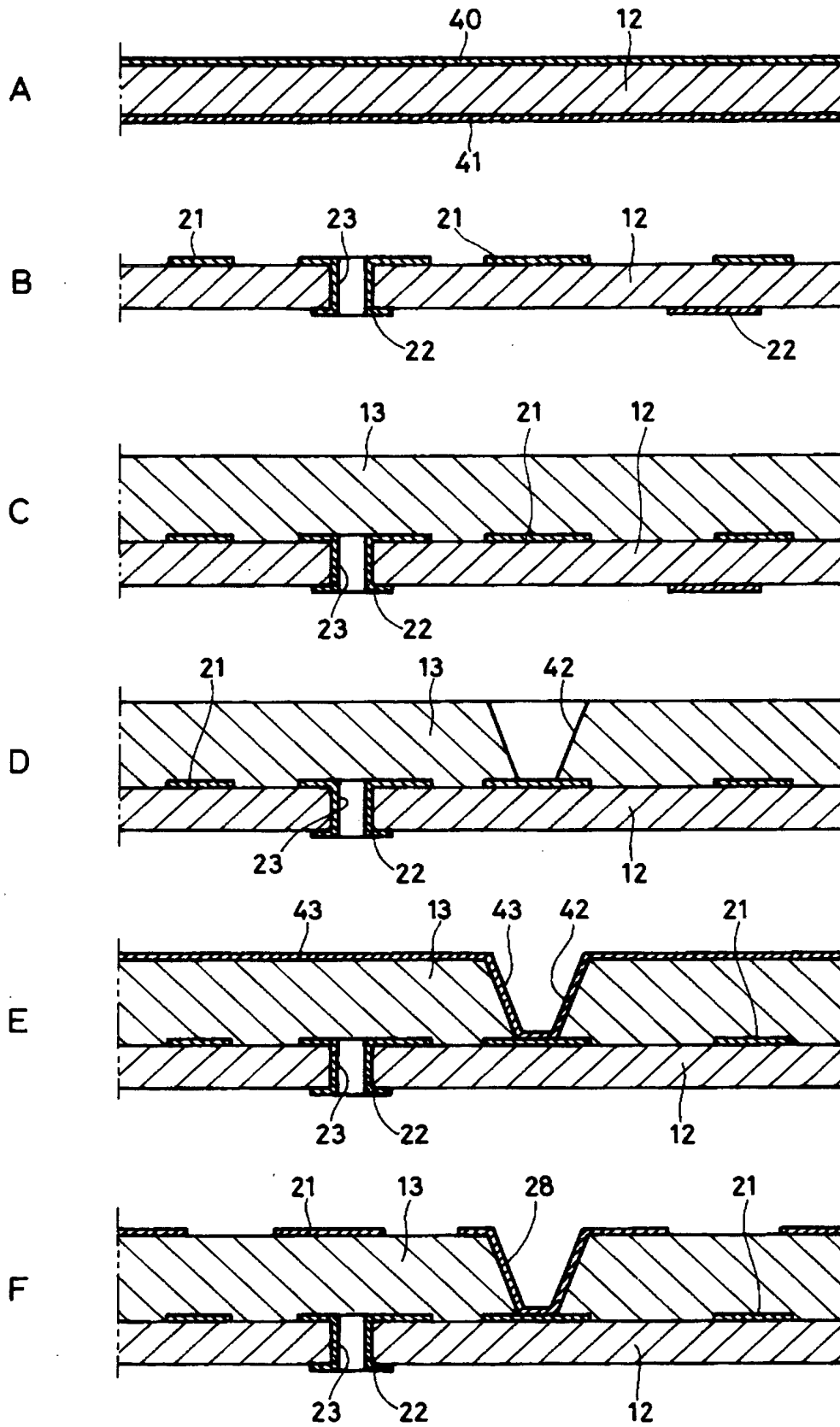


【図5】

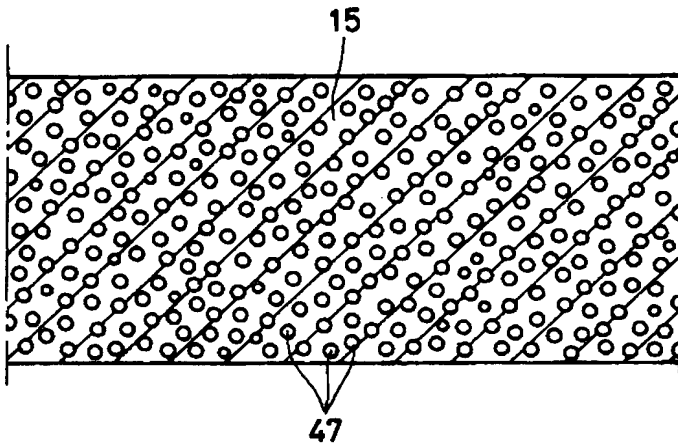


特 2 0 0 1 - 1 4 7 0 2 4

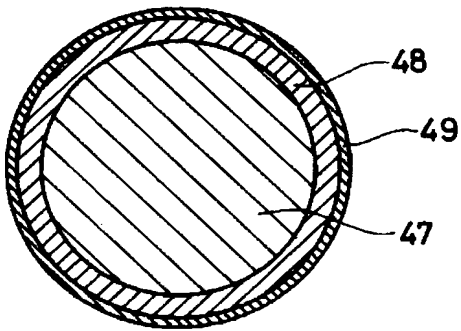
【 図 6 】



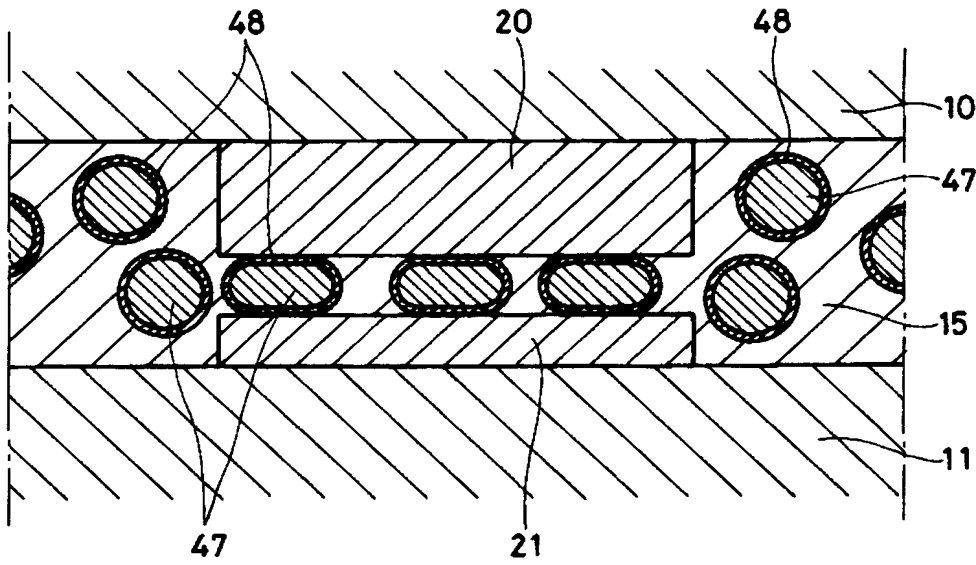
【图 7】



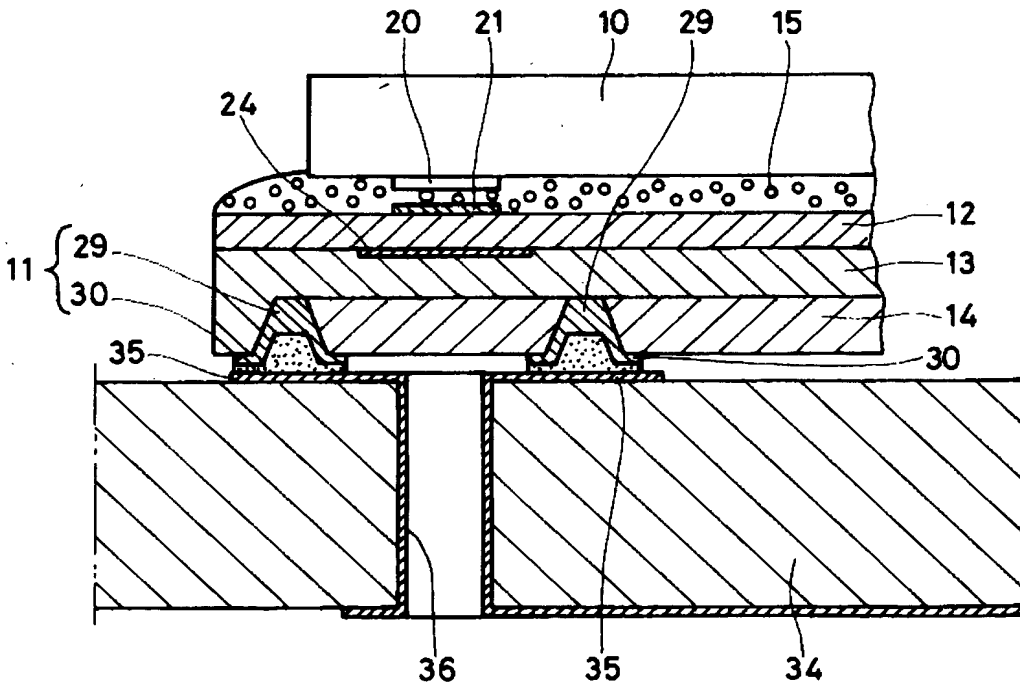
【图 8】



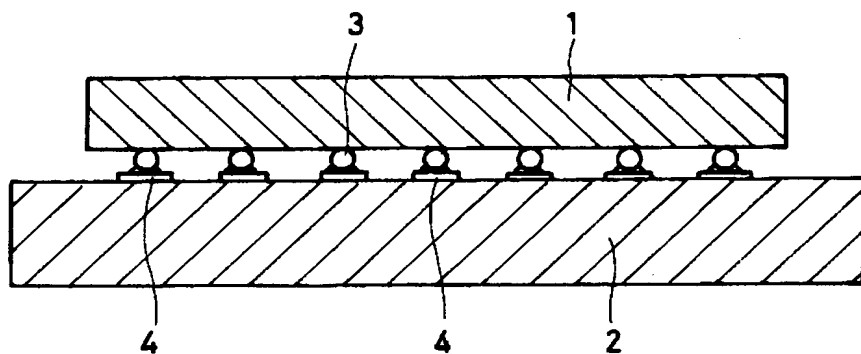
【図9】



【図10】



【図11】



【書類名】 要約書

【要約】

【課題】

熱的变化に対する信頼性が高く、低コストでしかも薄型化が図られ、さらに電極の配置をLGAとした半導体装置を提供することを目的とする。

【解決手段】

硬質のコア基板12の一方の面に弾性係数が5000MPa以下の柔軟な樹脂から成る第1ビルドアップ層13および第2ビルドアップ層14を形成し、しかも第2ビルドアップ層14の外表面にビア29と接続された電極30を形成する。そしてコア基板12のビルドアップ層が形成されていない面に異方性導電層15を介して半導体チップ10を実装する。

【選択図】 図1

特2001-147024

認定・付加情報

特許出願の番号	特願2001-147024
受付番号	50100707659
書類名	特許願
担当官	第四担当上席 0093
作成日	平成13年 5月17日

<認定情報・付加情報>

【提出日】 平成13年 5月16日

次頁無

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日
[変更理由] 新規登録
住 所 東京都品川区北品川6丁目7番35号
氏 名 ソニー株式会社